

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-225455

(43)Date of publication of application : 14.08.1992

(51)Int.Cl.

G06F 13/28
G06F 13/00

(21)Application number : 02-407552

(71)Applicant : NEC ENG LTD

(22)Date of filing : 27.12.1990

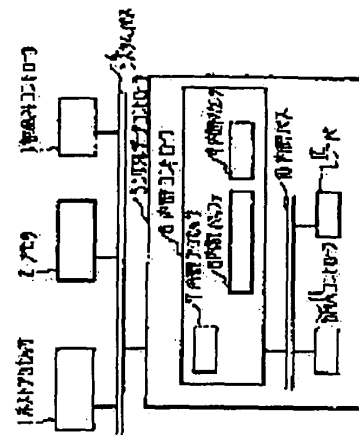
(72)Inventor : OKADA MASAHIRO

(54) CONTROL SYSTEM FOR SERIAL DATA CONTROLLER

(57)Abstract:

PURPOSE: To shorten the processing time after reception of a frame.

CONSTITUTION: A host processor 1 registers the start address of a reception DMA transfer area stored in a memory 2, the area size, and the length of the header part of a reception frame into an internal buffer 8 and gives a reception start request to a serial data controller 5. The controller 5 transfers the frame to a memory 2 from a receiver 12 with an instruction of an internal processor 7 while receiving the control, of a DMA controller 11. The processor 7 counts the reception bytes and then gives an interruption generating request to an interruption controller 3 when the count value of the reception bytes is equal to the header length registered in the buffer 8. The controller 11 carries on a DMA operation and the processor 1 recognizes the end of reception of the header part with the first interruption given from the controller 3 and then recognizes the end of reception of a text part with the second interruption respectively. Thus the processor 1 analyzes both header and text parts in each recognition timing.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int.Cl. ³	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/28	3 1 0 H	7052-5B		
13/00	3 5 3 P	7368-5B		

審査請求 未請求 請求項の数1(全3頁)

(21) 出願番号 特願平2-407552

(22) 出願日 平成2年(1990)12月27日

(71) 出願人 000232047

日本電気エンジニアリング株式会社
東京都港区西新橋3丁目20番4号

(72) 発明者 岡田 正博

東京都港区西新橋3丁目20番4号日本電気
エンジニアリング株式会社内

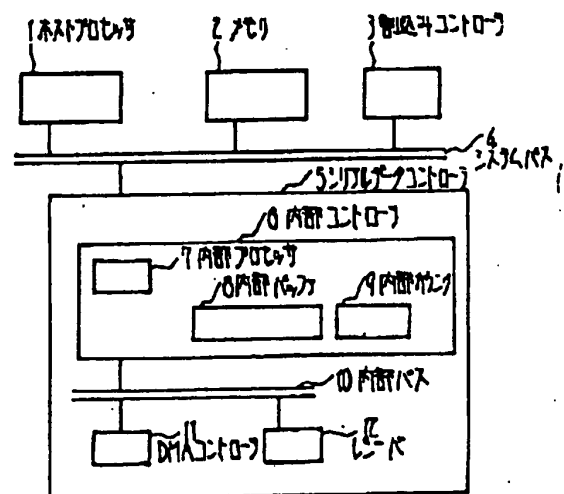
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 シリアルデータコントローラの制御方式

(57) 【要約】

【構成】ホストプロセッサ1は、メモリ2内の受信用DMA転送領域の開始アドレス、領域サイズおよび受信フレームのヘッダー部の長さを内部バッファ8に登録し、シリアルデータコントローラ5に受信開始要求を行なう。これを受けたシリアルデータコントローラ5は、内部プロセッサ7の指示でDMAコントローラ11の制御を受けつつレシーバ12からメモリ2にフレームを転送し、内部プロセッサ7は受信バイト数を内部カウンタ9でカウントする。このカウント値の内部バッファ8の登録ヘッダー長が等しいとき内部プロセッサ7から割込みコントローラ3に割込みの発生要求を行なう。DMAコントローラ11はDMA動作を継続し、ホストプロセッサ1は、割込みコントローラ3からの1回目の割込みでヘッダー部の受信完了を認識し、2度目の割込みでテキスト部の受信完了を認識し、それぞれの認識タイミングでヘッダー部とテキスト部の解析処理を行なう。

【効果】フレーム受信後の処理時間を短縮し、ホストプロセッサのスループットを著しく増大する。



【特許請求の範囲】

【請求項1】 ホストプロセッサ、メモリおよび割込みコントローラとシステムバスで相互接続されホストプロセッサの制御を受けつつシリアルデータの受信転送を制御するシリアルデータコントローラを有し、ヘッダー部とテキスト部からなるシリアルデータのフレームをダイレクト・メモリ・アクセスにて受信するシステムにおけるシリアルデータコントローラの制御方式であって、前記フレームのヘッダー部およびテキスト部の受信完了検出を割込みコントローラ経由でホストプロセッサに通知する手段を備えて成ることを特徴とするシリアルデータのコントローラの制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はシリアルデータコントローラの制御方式に関し、特にホストプロセッサ、メモリおよび割込みコントローラとシステムバスで接続され、ホストプロセッサの制御を受けつつヘッダー部とテキスト部から成るフレームをダイレクト・メモリ・アクセス(DMA)にて受信するシリアルデータコントローラにおける受信制御を行なうシリアルデータコントローラの制御方式に関する。

【0002】

【従来の技術】 従来、この種のシリアルデータコントローラの制御方式は、図3に示すような制御方式となっている。すなわち、図3に示す如くヘッダー部およびテキスト部の両方の受信が完了した後、シリアルデータコントローラから割込みコントローラに対して1度だけ割込みの発生を要求する。割込みの発生を認識したホストプロセッサは、受信したフレームからヘッダー部およびテキスト部を抽出し、ヘッダー部の解析処理完了後、テキスト部の解析処理を行って応答フレーム15を出力していた。

【0003】

【発明が解決しようとする課題】 上述した従来のシリアルデータコントローラの制御方式にあっては、ホストプロセッサは、フレーム受信が完了するまで何もせず、ヘッダー部とテキスト部の両方の受信が完了した後、受信フレームからヘッダー部およびテキスト部を抽出し、ヘッダー部の解析処理およびテキスト部の受信後処理を行っていたため、ホストプロセッサのスループットが向上しないという欠点がある。

【0004】

【課題を解決するための手段】 本発明のシリアルデータコントローラの制御方式は、ホストプロセッサ、メモリおよび割込みコントローラとシステムバスで相互接続されホストプロセッサの制御を受けつつシリアルデータの受信転送を制御するシリアルデータコントローラを有し、ヘッダー部とテキスト部からなるシリアルデータのフレームをダイレクト・メモリ・アクセスにて受信する

システムにおけるシリアルデータコントローラの制御方式であって、前記フレームのヘッダー部およびテキスト部の受信完了検出を割込みコントローラ経由でホストプロセッサに通知する手段を備えて構成される。

【0005】

【実施例】 次に、本発明について図面を参照して説明する。

【0006】 図1は本発明の一実施例のブロック図である。図1の実施例は、システムバス4で相互接続されたホストプロセッサ1と、メモリ2と、割込みコントローラ3と、シリアルデータコントローラ5とを備えて成り、またシリアルデータコントローラ4は、内部バス10によって相互接続された内部コントローラ6、DMAコントローラ11およびレシーバ12を有して成る。さらに、内部コントローラ6には、内部プロセッサ7と内部バッファ8および内部カウンタ9を有する。

【0007】 次に、本実施例の動作について説明する。

【0008】 ホストプロセッサ1は、メモリ2内の受信用DMA転送領域の開始アドレス、領域サイズ、および受信フレームのヘッダー部の長さを内部コントローラ6の有する内部バッファ8にそれぞれ登録し、シリアルデータコントローラ5に対し受信開始要求を行なう。受信開始要求をうけたシリアルデータコントローラ5は、受信フレーム発生により、内部プロセッサ7の指示でDMAコントローラ11の制御の下にレシーバ12からメモリ2へフレームを転送する。その際、内部プロセッサ7は、受信バイト数を内部カウンタ9にてカウントする。内部プロセッサ7は、内部カウンタ9の値と内部バッファ8に登録されているヘッダー部の長さが等しければ、割込みコントローラ3に対して割込みの発生を要求する。

【0009】 また、内部カウンタ9の値と内部バッファ8に登録されているヘッダー部の長さの比較の結果に関わらず、DMAコントローラ11はDMA動作を継続し、内部コントローラ6は、フレームの受信完了を検出するとDMAコントローラ11に動作停止を指示し、DMA動作を終了すると同時に、割込みコントローラ3に対して2度目の割込みの発生を要求する。

【0010】 図2は、本実施例の制御動作の説明図であり、ホストプロセッサ1は、割込みコントローラ3からの1度目の割込みによりヘッダー部13の受信完了を認識し、ヘッダー部13の解析処理を開始する。また、2度目の割込みによりテキスト部の受信完了を認識し、テキスト部14の解析処理を開始する。

【0011】

【発明の効果】 以上説明したように本発明は、フレームのヘッダー部受信完了検出、およびテキスト部の受信完了検出を、シリアルデータコントローラから割込みコントローラに対して割込みの発生を要求することにより割込みを発生させ、割込みの認識後ホストプロセッサがヘ

ッダー部の解析処理あるいは、テキスト部の解析処理を行うことにより、フレーム受信後の処理時間を短縮し、ホストプロセッサのスループットを著しく向上させることができる効果がある。

【図面の簡単な説明】

【図1】本発明の一実施例のブロック図である。

【図2】図1の実施例の制御方式の説明図である。

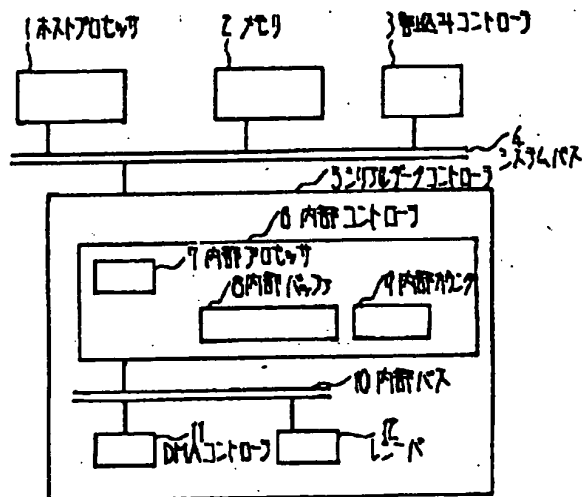
【図3】従来のシリアルデータコントローラの制御方式の説明図である。

【符号の説明】

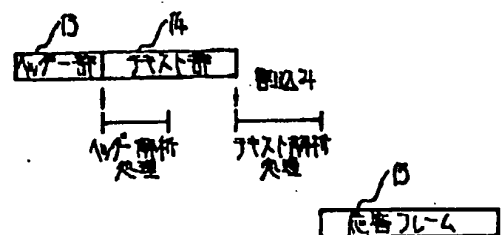
- 1 ホストプロセッサ
- 2 メモリ
- 3 割込みコントローラ

- 4 システムバス
- 5 シリアルデータコントローラ
- 6 内部コントローラ
- 7 内部プロセッサ
- 8 内部バッファ
- 9 内部カウンタ
- 10 内部バス
- 11 DMAコントローラ
- 12 レシーバ
- 13 ヘッダー部
- 14 テキスト部
- 15 応答フレーム

【図1】



【図2】



【図3】

